

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-321667

(43)Date of publication of application : 12.12.1997

(51)Int.Cl.

H04B 1/707  
H04L 7/00

(21)Application number : 08-156370

(71)Applicant : YOZAN:KK

(22)Date of filing : 29.05.1996

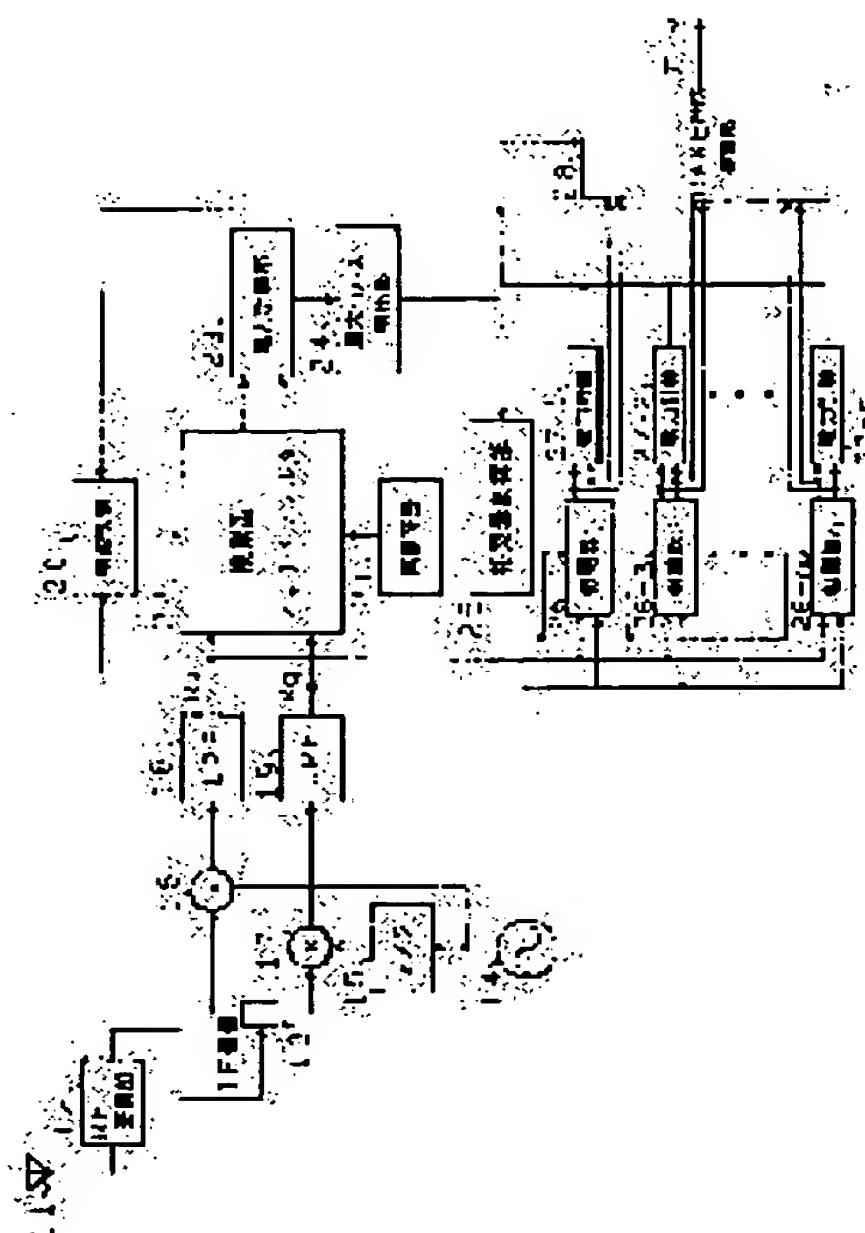
(72)Inventor : KOTOBUKI KOKURIYOU  
SHU NAGAAKI  
SHU TERUHEI  
YAMAMOTO MAKOTO  
TAKATORI SUNAO

## (54) RECEIVER FOR CDMA COMMUNICATION SYSTEM

## (57)Abstract:

PROBLEM TO BE SOLVED: To reduce the power consumption in the standby state of the receiver for a CDMA(code driven multiple access) communication system.

SOLUTION: A received spread spectrum signal is demodulated into base band signals  $R_i$ ,  $R_q$  at multipliers 16, 17 and the demodulated signals are given to a complex matched filter 22. The complex matched filter 22 is driven intermittently by a power supply control section 20 to attain synchronization acquisition of a reception signal. When a power calculation section 23 detects that an output of the complex matched filter 22 has a peak output of a prescribed value or over, a correlation device control section 25 operates n-sets of correlation devices 26-1-n and synchronization of the reception signal is traced and inverse spread is conducted, outputs of the correlation devices 26-1-n are subject to RAKE synthesis at a RAKE synthesis and demodulation section 28 and demodulated.



## LEGAL STATUS

[Date of request for examination] 24.11.2000

[Date of sending the examiner's decision of rejection] 28.01.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-321667

(43)公開日 平成9年(1997)12月12日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 B	1/707		H 0 4 J 13/00	D
H 0 4 L	7/00		H 0 4 L 7/00	C

審査請求 未請求 請求項の数6 F D (全 16 頁)

(21)出願番号 特願平8-156370

(22)出願日 平成8年(1996)5月29日

(71)出願人 390010515  
株式会社鷹山  
東京都世田谷区北沢3-5-18 鷹山ビル

(72)発明者 寿 国梁  
東京都世田谷区北沢3-5-18 鷹山ビル  
株式会社鷹山内

(72)発明者 周 長明  
東京都世田谷区北沢3-5-18 鷹山ビル  
株式会社鷹山内

(72)発明者 周 旭平  
東京都世田谷区北沢3-5-18 鷹山ビル  
株式会社鷹山内

(74)代理人 弁理士 高橋 英生

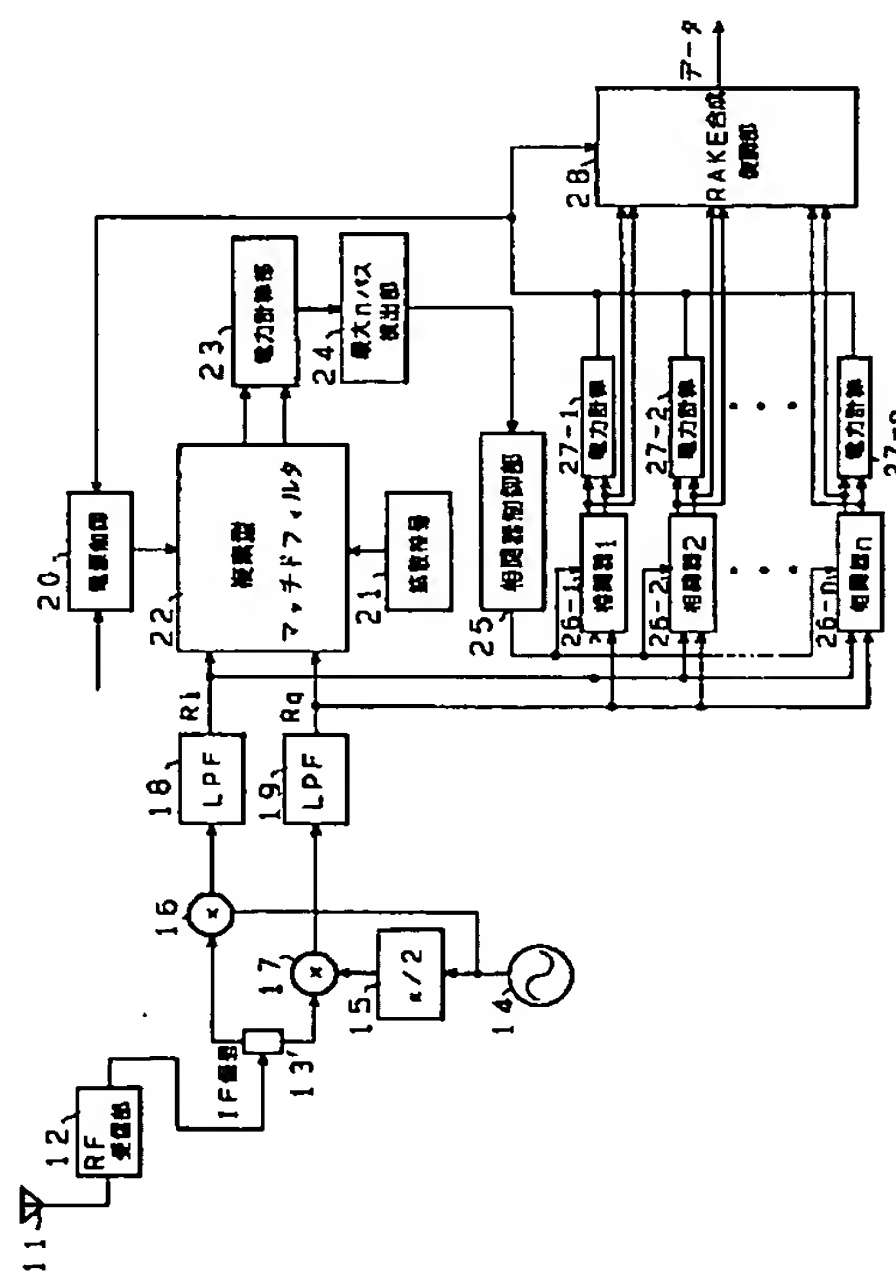
最終頁に続く

(54)【発明の名称】 CDMA通信システム用受信機

(57)【要約】

【課題】 CDMA通信方式用受信機の待ち受け時における電力消費を軽減する。

【解決手段】 受信されたスペクトラム拡散信号は乗算器16および17においてベースバンド信号R<sub>i</sub>およびR<sub>q</sub>に復調されて、複素型マッチドフィルタ22に入力される。複素型マッチドフィルタ22は電源制御部20により間欠的に駆動され、受信信号の同期捕捉が行われる。複素型マッチドフィルタ22の出力が所定値以上のピーク出力を有していることを電力計算部23において検出すると、相関器制御部25によりn個の相関器26-1~nを動作させ、受信信号の同期追跡を行うとともに、逆拡散を行う。各相関器26-1~nの出力は、RAKE合成および復調部28においてRAKE合成されて復調される。



## 【特許請求の範囲】

【請求項 1】 受信スペクトラム拡散信号の同期捕捉を行なうマッチドフィルタと、  
前記受信スペクトラム拡散信号の逆拡散手段と前記受信スペクトラム拡散信号の同期追跡を行なう遅延ロックループとを有する相関器手段と、  
前記マッチドフィルタに対し間欠的に電源を供給する電源制御手段と、

前記相関器手段の動作を制御する制御手段とを有し、  
前記制御手段は、前記マッチドフィルタの動作時に当該受信信号が同期捕捉されたときに、前記相関器手段の動作を開始させるように制御することを特徴とする CDMA 通信システム用受信機。

【請求項 2】 受信スペクトラム拡散信号の同期捕捉を行なうマッチドフィルタと、  
前記受信スペクトラム拡散信号の逆拡散手段と前記受信スペクトラム拡散信号の同期追跡を行なう遅延ロックループとを有する並列に設けられた複数の相関器手段と、

前記マッチドフィルタに対し間欠的に電源を供給する電源制御手段と、

前記マッチドフィルタの出力に応じて前記複数の相関器手段の動作を制御する制御手段と、  
前記複数の相関器手段からの出力信号レベルに応じて前記マッチドフィルタの動作を開始させる監視手段とを有し、

前記制御手段は、前記マッチドフィルタの動作時に当該受信信号が同期捕捉されたときに前記複数の相関器手段の動作を開始させるとともに、該マッチドフィルタの出力におけるピーク位置に応じて各相関器手段においてそれぞれ発生される拡散符号系列の位相を制御することを特徴とする CDMA 通信システム用受信機。

【請求項 3】 前記監視手段は、前記複数の相関器手段からの出力電力が所定値よりも低下したときに前記マッチドフィルタの動作を開始させるものであることを特徴とする前記請求項 2 記載の CDMA 通信システム用受信機。

【請求項 4】 前記監視手段は、前記複数の相関器手段からの出力電力が所定値よりも低下している期間が所定の期間よりも長いときに前記マッチドフィルタの動作を開始させるものであることを特徴とする前記請求項 3 記載の CDMA 通信システム用受信機。

【請求項 5】 前記電源制御手段が前記マッチドフィルタに対して電源を供給する周期が可変とされていることを特徴とする前記請求項 1 ～ 4 のいずれかに 1 項に記載の CDMA 通信システム用受信機。

【請求項 6】 前記マッチドフィルタは、複数のサンプルホールド回路と、前記各サンプルホールド回路の出力を拡散符号系列の対応するビットの値に応じて第 1 あるいは第 2 の出力端子に出力する複数の乗算部と、前記

各乗算部の第 1 の出力端子の出力を加算する第 1 のアナログ加算回路と、前記各乗算部の第 2 の出力端子の出力を加算する第 2 のアナログ加算回路と、前記第 1 のアナログ加算回路の出力と前記第 2 のアナログ加算回路の出力との減算を行う第 3 のアナログ加算回路とを有するものであることを特徴とする前記請求項 1 ～ 5 のいずれか 1 項に記載の CDMA 通信システム用受信機。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、CDMA 移動通信システムに使用して好適な受信機に関する。

## 【0002】

【従来の技術】スペクトラム拡散 (Spread Spectrum : 以下、SS という) 変調方式には、直接拡散 (DS: Direct Sequence) 方式と周波数ホッピング (FH: Frequency Hopping) 方式とがあるが、いずれも、秘話性に優れているとともに、ジャミングや狭帯域の干渉、および伝送路の変動に強いという特徴を有しており、近年、移動体通信などの無線伝送の分野において、このような SS 変調方式を用いた CDMA (Code Division Multiple Access : 符号分割多元接続) 方式が注目を集めている。

【0003】SS 方式においては送信電力を広い帯域幅に分散させて電力密度が低くされた電波が送信されるため、SS 信号の受信時にいかにして高速に目的の信号に対して同期をとるかが重要である。同期とは、受信側の装置の動作タイミングを送信側から送られてきた信号に合わせる操作であり、通信の最初に同期状態を確立するまでの「同期捕捉」と、同期確立後その同期状態が変調や雑音の影響で失われないように監視を続ける「同期追跡」とに分けられる。

【0004】DS 方式における同期捕捉は、送られてきた信号の拡散符号系列の発生タイミングと受信機内で用意する拡散符号系列の発生タイミングを例えば 1 チップ以内の精度で推定し、受信機側の拡散符号発生器をそのタイミングで動作開始させるまでの作業を指す。このような同期捕捉を行なうための方法として、(1) スライディング相関器を用いる方法、および (2) マッチドフィルタを用いる方法が知られている。

【0005】(1) のスライディング相関器を用いる方法は、受信機において拡散符号系列をとりあえず適当なタイミングで発生させ、そのタイミングを少しずつずらしながら受信を試みる方法である。受信信号と受信機内で発生させた拡散符号系列とを乗積し、ローパスフィルタを通過させる。受信信号の拡散符号系列の位相と受信機内で発生中の拡散符号系列の位相とが一致しているときには、ローパスフィルタの出力に大振幅の信号が得られるが、拡散符号系列の位相が一致していないときには拡散符号系列の自己相関関数で与えられる低いレベルの信号となる。そこで、ローパスフィルタの出力が所定レベル以下であるときには、拡散符号系列発生器により発

生される拡散符号系列の位相を若干進めるか遅らせる。この操作を繰り返し行うことにより、受信信号の拡散符号系列の位相と受信機内で発生する拡散符号系列の位相を一致させる方法である。

【0006】この方法によれば、最悪でも、拡散符号系列の1周期に対応する回数だけ拡散符号系列発生器の位相をずらすことにより、位相を同期させることができるが、拡散符号系列発生器がある位相で動作しているとき、それが適切な位相であるか否かを調べるのに拡散符号系列1周期分の時間を必要とするため、この方法では、同期捕捉が完了するまでに、最大で、(拡散符号系列の1周期の時間) × (拡散符号系列長) の時間を要することとなる。

【0007】前記(2)のマッチドフィルタを用いる方法は、マッチドフィルタを用いて相関値の検出を瞬時にを行う方法であり、短時間に同期捕捉をすることができる。マッチドフィルタの受信端からSS変調信号を連続して入力すると、その出力側には時々刻々の相関値が次々にあらわれるため、拡散符号1周期分の時間だけ該マッチドフィルタの出力を観察することにより、相関値のピークを検出することができる。このマッチドフィルタを用いる方法によれば拡散符号1周期に対応する時間で同期捕捉を完了することができる。

【0008】これらの方法を用いて同期捕捉がなされると、それ以後、その同期位置を変調や雑音の影響で見失うことがないように監視、修正することが必要となる。これが同期追跡であり、通常は、同期追跡回路としてDLL (Delay Locked Loop) 回路が用いられている。これは、2組の相関器を用い、それぞれの相関器には実際の逆拡散に用いられる拡散符号系列に比べて例えばそれぞれ1/2チップだけ位相が進んだ拡散符号系列と1/2チップだけ位相が遅れた拡散符号系列が印加されており、各相関器からの出力は包絡線検波回路を通過した後両者の差がとられる。これにより、S字特性の相関出力を得ることができ、この出力を用いて受信機において発生される拡散符号系列の位相をフィードバック制御することにより、同期捕捉が行なわれる。

【0009】また、移動無線システムにおいては、基地局から送信された信号が経路長の異なる複数の伝搬経路を通過して受信機に到達し、それらがコヒーレントに加算されないために、いわゆるマルチパスフェージングが発生する。このようなマルチパスフェージングに対する有効な対策として、直接スペクトラム拡散信号によるRAKE受信方式が知られている。この方式は、多重通路の各々を通過してきた信号を識別し、信頼度の重み付けを行なって合成することにより、パスダイバーシティを実現するものである。

【0010】

【発明が解決しようとする課題】このようなCDMA方式を例えば携帯電話などの移動無線システムに適用した

場合、その移動機の受信機においては、待ち受け時に前述した同期捕捉動作を行なうことが必要となる。しかしながら、前述したように、上記(1)のスライディング相関器を用いる同期捕捉方法は、単位時間当たりの消費電力は少ないものの同期捕捉までに多くの時間を必要とするものであり、常時同期捕捉動作を行なう場合には、結局多くの電力を消費することとなる。また、上記

(2)のマッチドフィルタを用いる同期捕捉方法は、同期捕捉までの時間は短いものの、マッチドフィルタ自体において消費される電力が大きいという欠点を有している。

【0011】そこで、本発明は、待ち受け時における消費電力を低減し、かつ、短時間で同期捕捉をすることができるCDMA通信システム用受信機を提供することを目的としている。また、マルチパスフェージングが発生する環境においても、良好な受信品質で信号を受信することができるCDMA通信システム用受信機を提供することを目的としている。

【0012】

【課題を解決するための手段】上記目的を達成するために、本発明のCDMA通信システム用受信機は、受信スペクトラム拡散信号の同期捕捉を行なうマッチドフィルタと、前記受信スペクトラム拡散信号の逆拡散手段と前記受信スペクトラム拡散信号の同期追跡を行なう遅延ロックループとを有する相関器手段と、前記マッチドフィルタに対し間欠的に電源を供給する電源制御手段と、前記相関器手段の動作を制御する制御手段とを有し、前記制御手段は、前記マッチドフィルタの動作時に当該受信信号が同期捕捉されたときに、前記相関器手段の動作を開始させるように制御するものである。

【0013】また、本発明の他のCDMA通信システム用受信機は、受信スペクトラム拡散信号の同期捕捉を行なうマッチドフィルタと、前記受信スペクトラム拡散信号の逆拡散手段と前記受信スペクトラム拡散信号の同期追跡を行なう遅延ロックループとを有する並列に設けられた複数の相関器手段と、前記マッチドフィルタに対し間欠的に電源を供給する電源制御手段と、前記マッチドフィルタの出力に応じて前記複数の相関器手段の動作を制御する制御手段と、前記複数の相関器手段からの出力信号レベルに応じて前記マッチドフィルタの動作を開始させる監視手段とを有し、前記制御手段は、前記マッチドフィルタの動作時に当該受信信号が同期捕捉されたときに前記複数の相関器手段の動作を開始させるとともに、該マッチドフィルタの出力におけるピーク位置に応じて各相関器手段においてそれぞれ発生される拡散符号系列の位相を制御することを特徴とするものである。

【0014】そして、前記監視手段は、前記複数の相関器手段からの出力電力が所定値よりも低下したときに前記マッチドフィルタの動作を開始させるものであり、



また、前記複数個の相関器手段からの出力電力が所定値よりも低下している期間が所定の期間よりも長いときに前記マッチドフィルタの動作を開始させるものである。さらにまた、前記電源制御手段が前記マッチドフィルタに対して電源を供給する周期が可変とされているものである。

【0015】さらにまた、前記マッチドフィルタは、複数のサンプルホールド回路と、前記各サンプルホールド回路の出力を拡散符号系列の対応するビットの値に応じて第1あるいは第2の出力端子に出力する複数の乗算部と、前記各乗算部の第1の出力端子の出力を加算する第1のアナログ加算回路と、前記各乗算部の第2の出力端子の出力を加算する第2のアナログ加算回路と、前記第1のアナログ加算回路の出力と前記第2のアナログ加算回路の出力との減算を行う第3のアナログ加算回路とを有するものとされている。

【0016】同期捕捉を行なうためのマッチドフィルタを間欠的に動作させ、同期捕捉が行なわれた後は相関器手段により同期追跡および信号受信を行なっているの  
で、待ち受け時における電力消費を低減することができる  
とともに、短時間で同期捕捉を行なうことができる。  
また、相関器手段を複数個設けてRAKE受信方式で受信することにより、マルチパスフェージングのある環境においても良好な受信を行なうことができる。さらに、サンプルホールド回路、乗算器およびアナログ加算器により構成されたマッチドフィルタを使用する場合には、より消費電力を低下させることができる。

【0017】

【発明の実施の形態】本発明のCDMA通信システム用受信機について説明する前に、まず、この受信機に対してスペクトラム拡散信号を送信する送信機の一構成例について、図7を参照して説明する。なお、この例においては、送信すべきデータが拡散符号により拡散変調され、該拡散変調された信号がQPSK (quadrature PSK) 変調されて送信される構成となっている。

【0018】図7において、送信データ  $a(t)$  は直列／並列変換器101において2系統の信号に変換され、それぞれ排他的論理和回路103および104に入力される。各排他的論理和回路103および104において、それぞれ、直列／並列変換器101からの出力信号と拡散符号生成器102において発生されたPN符号系列やGold符号系列などの拡散符号系列との排他的論理和が取られ、拡散変調が行なわれる。前記各排他的論理和回路103および104から出力される拡散変調された信号系列は、それぞれ、レベル変換回路105および106に入力され、そこで、「0」が「-1」に、「1」が「+1」にそれぞれレベル変換される。このレベル変換器105の出力は同相成分  $I(t)$ 、レベル変換器106の出力は直交成分  $Q(t)$  となる。

【0019】同相成分  $I(t)$  は乗算器109に入力さ

れ、発振器107により発生された信号  $\cos \omega_c t$  と乗算される。一方、直交成分  $Q(t)$  は乗算器110に入力され、前記発振器107の出力信号の位相を  $\pi/2$  だけシフトする位相シフト回路108の出力信号  $\sin \omega_c t$  と乗算される。各乗算器109および110の出力は加算器111において加算されたのち、バンドパスフィルタ112を通過してRF送信部113に入力され、所定の周波数帯の信号に変換されて送信アンテナ114から送信される。

10 【0020】なお、以上の構成においては、QPSK信号をRF送信機113において周波数変換して送信しているが、これに限られることはなく、発振器107において搬送波周波数の信号を発生させることもできる。

20 【0021】このような送信機から送信される信号を受信するための、本発明のCDMA通信システム用受信機の第1の実施の形態の構成を図1に示す。図1において、受信アンテナ11において受信されたスペクトラム拡散信号は高周波受信部12において中間周波信号に変換され、分配器13により2つの信号に分割されて、それぞれ乗算器16および17に供給される。14は中間周波数の信号 ( $\cos \omega_c t$ ) を発生する発振器であり、該発振器14からの出力は、前記乗算器16に直接印加されるとともに、その位相を  $\pi/2$  だけ移相する位相シフト回路15を介して前記乗算器17に入力される。前記乗算器16において前記分配器13からの中間周波信号と前記発振器14からの発振出力が乗算され、該乗算結果はローパスフィルタ (LPF) 18に入力され、該LPF18から同相成分のベースバンド信号  $R_i$  が出力される。また、前記乗算器17において前記分配器13からの中間周波信号と前記位相シフト回路15の出力 ( $\sin \omega_c t$ ) が乗算され、LPF19より直交成分のベースバンド信号  $R_q$  が出力される。

30 【0022】各LPF18および19からのベースバンド信号  $R_i$  および  $R_q$  は、同相成分用のマッチドフィルタと直交成分用のマッチドフィルタの2つのマッチドフィルタが設けられている複素型マッチドフィルタ22に入力され、それぞれ、拡散符号生成器21により発生される拡散符号系列を用いて前述した同期捕捉動作が行なわれる。また、20は、後述する電力計算部27-1～27-nからの出力がないときに前記複素型マッチドフィルタ22に対して電源電圧を間欠的に印加し、電力計算部27-1～27-nからの出力があるときには前記複素型マッチドフィルタに対して電源電圧を供給しないように動作する電源制御回路である。この電源制御回路20により、前記複素型マッチドフィルタ22は、待ち受け時に所定の時間間隔をもって相関値のピークを検出することが可能な時間だけ駆動されるようになされている。これにより、本発明の受信機においては、同期捕捉のために消費電力の大きいマッチドフィルタを使用する  
50 ものであるが、その動作は間欠的に行なわれているため

に全体としての消費電力は少なく抑えることができるものである。

【0023】なお、前記複素型マッチドフィルタ22に用いられている各マッチドフィルタとしては、CCD (Charge Coupled Device) やSAW (Surface Acoustic Wave) フィルタを用いたもの、あるいは、デジタルIC回路によるものなどを使用することができる。この複素型マッチドフィルタ22において実行される同期捕捉動作について、図4を参照して説明する。この図において、タップ付遅延線を構成するシフトレジスタ61に

入力されたスペクトラム拡散変調された受信信号R<sub>i</sub>またはR<sub>q</sub>は、順次右側にシフトされ、拡散符号系列1周期分の信号が入力されたときにその先頭がシフトレジスタ61の右端に達する。ここでシフトレジスタ61の各タップからの出力を図示するように適宜加算して取り出す。

【0024】このとき、上側に取り出されるタップ群と下側に取り出されるタップ群は、目的信号の拡散符号系列における「0」「1」のパターンに合致させておく。すなわち、目的の拡散符号系列における値が「1」のビット位置に対応するタップからは上側に引き出し、

「0」のビット位置に対応するタップからは下側に引き出すようにしておく。そして、上側に引き出したタップの加算器62による加算結果から下側に引き出したタップの加算器63の加算結果を加算器64において減算することにより、該加算器64から現在受信中の信号と目的の拡散符号系列との相関値を出力することができる。この状態のまま、シフトレジスタ61の入力端にスペクトラム拡散変調された信号が連続して到達すると、加算器64からは各時刻毎の相関値が順次出力され、この出力を拡散符号系列1周期分の時間だけ観察することにより、相関値のピークを検出することができる。

【0025】図5に、マッチドフィルタからの相関出力の一例を示す。理想的には、前述したように受信信号と拡散符号系列の相関出力には1つのピークだけが現われるはずであるが、前述したように実際には、送信側から送信された信号は、直接アンテナに到達するもの（直接波）以外にも建物や地面等により反射されて到達するもの（反射波）があり、多数の伝搬経路（マルチパス）を通った信号が受信アンテナ11に到達することとなる。これらの受信信号はそれぞれの伝搬経路に応じた伝搬遅延時間をもって受信されることとなるため、図5に示すように、複数の相関ピークが現われることとなる。図5において、Aは直接波による相関ピークを表わしており、BおよびCはそれぞれ第1および第2の遅延波による相関のピークを表わしている。

【0026】このような複数の経路を伝搬してきた信号が受信される場合には、受信信号同士が干渉していわゆるマルチパスフェージングが発生することとなるため、この実施の形態においては、後述するようにn個の相関

器（逆拡散部）26-1～26-nを並列に設け、各逆拡散部からの出力をRAKE合成することによりパシバシバシバ受信を行なうようにしている。

【0027】さて、前記複素型マッチドフィルタ22から出力される相関出力は、電力計算部23に入力され、ここでその相関出力の大きさが検出される。この電力計算の結果、所定値よりも大きい相関ピーク出力が検出されたときには、この受信機で受信すべきスペクトラム拡散変調信号が受信されたとしてパス検出部24に出力信号が出力される。パス検出部24は前記電力計算部23から出力される相関出力から受信波のパスおよび各パスの伝搬遅延時間に対応する位相オフセットを検出するものであり、この実施の形態においては、最大n個までのパスを検出することができるようになされている。

【0028】前記パス検出部24からの出力は相関器制御部25に入力される。この相関器制御部25は、パス検出部24からの出力に基づいて、相関器26-1～26-nのうちの前記検出されたパスの数に対応する数の相関器に対してベースバンド信号R<sub>i</sub>およびR<sub>q</sub>と電源電圧を供給してその動作を開始させるとともに、各相関器内にそれぞれ設けられている拡散符号生成器により生成される拡散符号系列の位相を対応するパスの位相オフセットに応じて制御する。これにより、前記パス検出部24において最大n個までのパスが検出され、該検出された各パスの位相オフセットに応じて相関器26-1～26-nにおける逆拡散に用いられる拡散符号系列の位相が制御されて、各相関器26-1～26-nは対応するパスの受信信号を並列に逆拡散することとなる。

【0029】並列に設けられたn個の相関器26-1～26-nには、それぞれ前記LPF18および19からの出力信号R<sub>i</sub>およびR<sub>q</sub>が入力されており、これら相関器26-1～26-nにおいてそれぞれ逆拡散が行なわれる。なお、各相関器26-1～26-nの詳細な構成については後述することとする。各相関器26-1～26-nからそれぞれ出力されるi成分およびq成分の復調データはRAKE合成および復調部28に入力されるとともに、電力計算部27-1～27-nに印加される。電力計算部27-1～27-nにおいて各パスに対応する受信電力が計算され、該計算結果はRAKE合成および復調部28に入力されてRAKE合成のための重み係数として用いられるとともに、前記電源制御部20に入力される。前記各相関器26-1～26-nからの各パスに対応する逆拡散後のデータはRAKE合成および復調部28において前記電力計算部27-1～27-nの出力に基づいて決定された重み係数を用いて合成され、シリアルデータに復調されて出力される。

【0030】図2は、前記相関器26-1～26-nの構成の一例を示すブロック図である。前記各相関器26-1～26-nはいずれもこの図2に示す構成を有している。この図に示すように、各相関器は、入力信号R<sub>i</sub>

および  $R_q$  の供給を制御するためのスイッチ 29 i および 29 q、逆拡散部 30 および D L L 部 40 を有している。ここで、前記スイッチ 29 i および 29 q は前記相関器制御部 25 の出力により導通制御される。

【0031】D L L 部 40 において、51 は拡散符号生成器であり、前記相関器制御部 25 により指定される位相の拡散符号系列を生成する。この拡散符号生成器 51 から出力される拡散符号系列は E-Code として、後述する乗算器 41 i および 41 q に印加される。52 は前記拡散符号生成器 51 により生成された拡散符号系列 E-Code を  $1/2$  チップ周期 ( $T_c/2$ ) だけ遅延する遅延回路であり、この遅延回路 52 から出力される拡散符号系列は P-Code として後述する乗算器 31 i および 31 q に逆拡散のために印加される。53 は前記遅延回路 52 と同様に拡散符号系列を  $1/2$  チップ周期 ( $T_c/2$ ) だけ遅延させる遅延回路であり、この遅延回路 53 から出力される拡散符号系列は L-Code として後述する乗算器 45 i および 45 q に印加される。

【0032】このようにして、前記拡散符号生成器 51、遅延回路 52 および 53 から、それぞれ、P-Code に対して  $T_c/2$  だけ位相の進んだ E-Code (Early Code)、正しい位相の P-Code (Punctual Code) および  $T_c/2$  だけ位相の遅れた L-Code (Late Code) の 3 通りの拡散符号系列が出力される。

【0033】逆拡散部 30 において、31 i および 31 q は前記正しい位相の拡散符号系列 P-Code と前記スイッチ 29 i および 29 q を介して入力される受信信号  $R_i$  および  $R_q$  との乗算を行なう乗算器、32 i および 32 q は該乗算器 31 i および 31 q からそれぞれ出力される乗算結果信号を拡散符号系列の 1 周期分加算する累算器である。これら乗算器 31 i および 31 q、累算器 32 i および 32 q により、受信信号の逆拡散が行なわれ、送信されたデータが復調される。

【0034】また、41 i および 41 q は前記  $T_c/2$  だけ位相の進んだ拡散符号系列 E-Code と前記受信信号  $R_i$  および  $R_q$  を乗算する乗算器、42 i および 42 q は前記各乗算器 41 i および 41 q からの出力を拡散符号系列の 1 周期分だけ累算する累算器であり、これら乗算器 41 i、41 q、累算器 42 i および 42 q により受信信号  $R_i$  および  $R_q$  と前記拡散符号系列 E-Code との相関値が算出される。前記各累算器 42 i、42 q からの相関出力は、それぞれ、包絡線検波回路 43 i、43 q に入力され、前記各相関出力における変調の影響が取り除かれて、加算器 44 において加算される。

【0035】さらにまた、前記  $T_c/2$  だけ位相の遅れた拡散符号系列 L-Code と前記受信信号  $R_i$  および  $R_q$  は乗算器 45 i および 45 q においてそれぞれ乗算され、各乗算結果はそれぞれ累算器 46 i、46 q において拡散符号の 1 周期分だけ累算される。これにより、前記受信信号  $R_i$  および  $R_q$  と前記拡散符号系列 L-Code との相

関が算出される。前記累算器 46 i および 46 q の出力は包絡線検波回路 47 i および 47 q を介して変調の影響が取り除かれて、加算回路 48 において加算される。

【0036】そして、加算回路 49 において、前記加算回路 44 の出力から前記加算回路 48 の出力が減算され、その出力はローパスフィルタ 50 を介して前記拡散符号生成器 51 に入力され、拡散符号発生器 51 により発生される拡散符号の位相が制御されるようになされている。

【0037】これにより、 $T_c/2$  だけ位相が進んでいる E-Code による相関出力である加算器 44 の出力は、実際の信号の逆拡散に使用される拡散符号系列に比べて、 $1/2$  チップだけ位相の進んだ位置にピークを有する出力となり、また、 $T_c/2$  だけ位相が遅れている L-code による相関出力である加算器 48 の出力は実際の信号の逆拡散に使用される拡散符号系列に比べて、 $1/2$  チップだけ位相の遅れた位置にピークを有する出力となり、加算器 44 の出力から加算器 48 の出力を減算する減算器 49 の出力は、 $-T_c/2$  に正のピーク、 $T_c/2$  に負のピークを有する S 字形の特性となる。したがって、この減算器 49 の出力を拡散符号生成器 51 にフィードバックして、この減算器 49 の出力が正のときには拡散符号発生器 51 で発生される拡散符号系列の位相を遅らせる方向に制御し、出力が負のときには拡散符号系列の位相を進ませる方向に制御することにより、出力が 0 となるように系を安定に制御することができる。したがって、実際の逆拡散に使用される P-code を受信信号に対して同期した状態にトラッキングすることができる。

【0038】このように図 2 の回路により同期追跡を行なうためには、この回路によるトラッキングが開始されるまでに受信信号の拡散系列と受信機内の拡散系列との間の位相差が  $\pm T_c/2$  以内に収まっていることが必要である。本発明においては、前述した複素型マッチドフィルタ 22 によりこの精度で同期捕捉を行なっている。なお、この実施の形態においては、E-Code と L-Code との位相差を  $T_c$  としたが、これに限られることはなく、例えば位相差を  $2T_c$  とすることもできる。この場合には、前記複素型マッチドフィルタ 22 による同期捕捉回路の精度をこれに対応した精度、すなわち  $\pm T_c$  とすることができる。

【0039】このように構成された CDMA 受信機の動作タイミングについて、図 3 のタイミングチャートを参照して説明する。図 3 において、(1) は前述した送信機から送信される送信信号の送信タイミングの一例、

(2) は本発明の電源制御回路 20 により制御される複素型マッチドフィルタ 22 の駆動されるタイミング、

(3) は該複素型マッチドフィルタ 22 の出力タイミングを模式的に示したもの、(4) は本発明の相関器制御部 25 により制御される相関器 26-1 ~ n の駆動されるタイミングの一例、(5) は該相関器 26-1 ~ n か



らの出力タイミングを模式的に示した図である。

【0040】図示するように、送信信号が送信されておらず受信信号が受信されていないときには、(2)に示すように、前記電源制御回路20により前記複素型マッチドフィルタ22に周期 $T_1$ 毎に期間 $T_2$ だけ継続する電源電圧が印加される。この期間 $T_2$ としては、マッチドフィルタにより同期捕捉をすることができる期間であればよい。例えば、拡散符号系列が128チップのものである場合には、 $128 \times T_c$ の時間+マッチドフィルタに受信信号を入力する時間である。また、周期 $T_1$ としては、通常、数10m秒程度とするのが適当であるが、個々の状況に応じて変更することができるようにしてもよい。

【0041】なお、この期間においては、(4)に示すように、相関器26-1~nには受信信号 $R_i$ 、 $R_q$ および電源電圧は供給されておらず、相関器26-1~nにおける電力消費はない。このようにして、待ち受け受信時には、間欠的にマッチドフィルタが駆動されており、その消費電力は、必要最低限のものとなっている。

【0042】続いて、(1)に示すように、時刻 $t_1$ になって送信局より送信信号が送信されると、マッチドフィルタは時刻 $t_2$ からの駆動期間において受信信号が存在しているために、(3)に示すように所定値よりも大きい相関ピーク出力が発生される。この出力により前記相関器制御部25が動作し、(4)に示すように時刻 $t_3$ に相関器1~nに対して駆動電圧の印加が開始されるとともに受信信号 $R_i$ 、 $R_q$ が印加される。これにより、前述したように各相関器26-1~nにおいて逆拡散が行なわれ、その出力が(5)に示すように出力される。

【0043】さて、(1)に示すように時刻 $t_5$ になって前記送信信号の送信が終了されると、(5)に示すように前記相関器26-1~nからの逆拡散出力レベルが低下する。これにより、前記電力計算部27-1~nからの受信電力出力が低下し、前記電源制御回路20は、(2)に示すように時刻 $t_6$ から前記マッチドフィルタ22の間欠的な駆動を再開する。このとき送信信号は存在しないため、前記マッチドフィルタからの出力は存在せず、前記相関器制御回路25は各相関器26-1~nへの給電を終了する(時刻 $t_7$ )。このようにして、再び最初の状態に戻る事となる。

【0044】さらに、信号受信中に電波伝搬状態の変動などにより同期がはずれて相関器26-1~nの出力レベルが低下したときにも、前記送信信号が終了したときと同様にして、前記マッチドフィルタの間欠的な動作状態となり、同期を捕捉することができる。

【0045】なお、このマッチドフィルタ22による同期捕捉動作は、前記パスが割り当てられている電力計算部27-1~nのうちのいずれか一つの電力計算部27-iからの出力が低下したときに再開させるようにして

もよいし、あるいは、前記電力計算部27-1~nからの受信電力出力の総和が所定値よりも低下したときに再開させるようにようにしてもよい。

【0046】また、上述した実施の形態においては、電源制御回路20は送信信号の受信中にはマッチドフィルタ22の駆動を行なわないものとしたが、送信信号の受信中においても待ち受け受信時と同様に間欠的にマッチドフィルタ22を駆動するようにすることもできる。この場合には、電力消費は多少増加するものの、信号受信中においてもマッチドフィルタ22およびパス検出部24により伝搬路の状況を間欠的に測定することができ、相関器制御部25により前記複数の相関器26-1~nに対する制御信号の更新を行なうことができる。したがって、伝送路状態の変動にきめ細かく対応することができるようになる。なお、この信号受信中におけるマッチドフィルタ22の駆動周期は、待ち受け受信時における駆動周期よりも長くしてもよく、信号の受信状態に応じて、該周期を制御することも可能である。

【0047】次に、本発明のCDMA通信方式用受信機の実施の形態について、図6を参照して説明する。この図において前記図1に記載した構成要素と同一の構成要素については同一の番号を付してその説明は省略することとする。図示するように、この実施の形態においては、前記各相関器26-1~nに接続された電力計算部27-1~nの後に、それぞれ、カウンタ回路81-1~nが設けられている点で、前記図1に示した第1の実施の形態と相違している。このカウンタ回路81-1~nは、例えば、前記電力計算部27-1~nの出力が所定のレベルよりも小さい場合にシンボルクロックを計数し、前記電力計算部27-1~Nの出力が所定のレベルよりも大きいときにはその計数値がリセットされるように構成されている。

【0048】このようにカウンタ回路81-1~nを設けることにより、予め設定したシンボル数よりも長い期間にわたって受信電力レベルが低下しているときに、前記電源制御部20に制御信号が供給されて、前記マッチドフィルタ22による同期捕捉動作が再開されることとなる。したがって、前記図1に示した実施の形態においては受信電力レベルが低下したときにすぐに前記複素型マッチドフィルタ22が駆動されて同期捕捉処理が再開されていたのに対し、この図6に示した実施の形態においては、受信電力レベルが低下している期間が予め設定されている期間(例えば、10シンボルクロック期間)よりも長くなったときに、前記マッチドフィルタ22による同期捕捉動作が再開されることとなる。したがって、継続時間の短い強力なノイズ等により受信信号が瞬断したときに不要な同期捕捉動作が開始されることを防止することが可能となる。

【0049】なお、上記においてはカウンタ81-1~nによりシンボルクロックを計数し、電力計算部27-



1～nの出力により該カウンタをリセットするように構成したが、必ずしもこのように構成することは必要ではなく、例えば、カウンタ81-1～nを電力計算部27-1～nへのピーク出力でカウントアップし、シンボルクロックでダウンカウントするように構成して、該計数値が所定値よりも小さくなったときに前記マッチドフィルタ22の同期捕捉動作を開始させるようにしてもよい。あるいは、カウンタの代わりに積分回路を用い、該積分回路の出力が所定値よりも小さくなったときに同期捕捉動作を再開させるように構成することもできる。要は、受信電力が低下している状態が所定時間以上継続したときに、電源制御部20により前記複素型マッチドフィルタ22の動作を開始させるようにすればよいのである。

【0050】以上のように、本発明のCDMA通信方式用受信機によれば、待ち受け時において、マッチドフィルタを間欠的に動作させているために、低消費電力とすることができるとともに、短時間で同期捕捉を行なうことが可能となる。また、RAKE受信方式を採用しているため、良好な受信品質で信号を受信することができ

る。

【0051】次に、より消費電力が少なくされた本発明のさらに他の実施の形態について説明する。この実施の形態は、消費電力の少ないマッチドフィルタを使用してより消費電力を軽減するようにしたものである。図8にこのマッチドフィルタの構成を示す。なお、この図に示すマッチドフィルタは前記複素型マッチドフィルタ22内に2つ設けられている同一構成のマッチドフィルタのうちの1つを示すものである。また、図を簡略にするために、図8においては、拡散符号系列が6ビットからなるものとし、6段の遅延段を有するものとして記載してあるが、実際に使用される拡散符号系列は数10ビット～数100ビットの長さを有する符号系列が使用されるものであり、それに対応する数の段数を有するものとする必要がある。

【0052】図8において、71-1～71-6はいずれも受信信号R<sub>i</sub>またはR<sub>q</sub>をサンプルホールドするサンプルホールド回路、73-1～73-6は各サンプルホールド回路71-1～71-6の出力と拡散符号とを乗算する乗算部、76から81は各乗算部73-1～73-6の出力を加算する加算回路である。また、72は前記サンプルホールド回路71-1～71-6におけるサンプリングタイミングを制御する制御部、74は各乗算部73-1～73-6に基準電圧を入力するための基準電圧発生回路、75は拡散符号系列を生成するための拡散符号生成器である。

【0053】図示するように、各サンプルホールド回路71-1～71-6は、制御部72からの制御信号により制御されるアナログスイッチ、キャパシタンスC<sub>1</sub>および反転増幅器Ampとから構成されている。また、前

記各加算器76～81は複数の入力端子に接続されたキャパシタンスと反転増幅器Ampとから構成されている。このように、このマッチドフィルタにおいては、前記サンプルホールド回路および加算器において、入力側に接続されたキャパシタンスと反転増幅器とからなる回路（ニューロオペアンプ）を用いているものである。

【0054】図9の(a)に前記反転増幅器Ampの構成を示す。この図において、82は電源V<sub>dd</sub>と増幅器Ampとの間に直列に接続されたスイッチであり、このスイッチは前述した電源制御部20により制御されるものである。また、V<sub>i</sub>は入力端子、V<sub>o</sub>は出力端子であり、両端子の間には帰還用のキャパシタンスC<sub>f</sub>が設けられている。92、93および94はいずれもCMOSインバータ回路であり、この反転増幅器AmpはCMOSインバータの出力がハイレベルからローレベルあるいはローレベルからハイレベルに遷移する部分を利用して、インバータを増幅器として使用するものであり、奇数段、例えば図示するように3段直列に接続されたCMOSインバータにより構成されている。なお、抵抗R<sub>1</sub>およびR<sub>2</sub>は増幅器のゲインを制御するために、また、キャパシタンスC<sub>g</sub>は位相調整のためにそれぞれ設けられており、いずれも、この反転増幅器Ampの発振を防止するために設けられている。

【0055】ここで、この反転増幅器にキャパシタンスを介して入力電圧を印加するニューロオペアンプの動作について図10を参照して説明する。図10において、Ampは前述した反転増幅器であり、入力電圧V<sub>1</sub>とV<sub>2</sub>がそれぞれキャパシタンスC<sub>1</sub>およびC<sub>2</sub>を介して前記反転増幅器Ampに印加されている。前記反転増幅器Ampの電圧増幅率は非常に大きいためこの反転増幅器Ampの入力側のB点における電圧はほぼ一定の値となり、このB点の電圧をV<sub>b</sub>とする。このとき、図中のB点は、各キャパシタンスC<sub>1</sub>、C<sub>2</sub>、C<sub>f</sub>およびCMOSインバータ92を構成するトランジスタのゲートに接続された点であり、いずれの電源からもフローティング状態にある点である。

【0056】したがって、初期状態において、各キャパシタンスに蓄積されている電荷が0であるとする、入力電圧V<sub>1</sub>およびV<sub>2</sub>が印加された後においても、このB点を基準としてみたときの各キャパシタンスに蓄積される電荷の総量は0となる。これにより、次の電荷保存式が成立する。

$$C_1 (V_1 - V_b) + C_2 (V_2 - V_b) + C_f (V_{out} - V_b) = 0 \quad (1)$$
ここで、各入力電圧V<sub>1</sub>およびV<sub>2</sub>をB点の電圧V<sub>b</sub>を基準とする電圧に置き換え、V<sub>(1)</sub> = V<sub>1</sub> - V<sub>b</sub>、V<sub>(2)</sub> = V<sub>2</sub> - V<sub>b</sub>、V'<sub>out</sub> = V<sub>out</sub> - V<sub>b</sub>とすると、前記(1)式より次の(2)式を導くことができる。

$$V'_{out} = - \{ (C_1 / C_f) V_{(1)} + (C_2 / C_f) V_{(2)} \} \quad (2)$$
すなわち、ニューロオペ

アンプからは、大きさが各入力電圧  $V_i$  に入力キャパシタンス  $C_i$  とフィードバックキャパシタンス  $C_f$  との比である係数 ( $C_i / C_f$ ) を乗算した値の和で、極性が反転された出力電圧  $V_{out}$  が出力されることとなる。

【0057】前記サンプルホールド回路 71-1~71-6 においては、前述した図 10 において入力端子が一つだけの場合に相当し、入力キャパシタンス  $C_1$  の値とフィードバックキャパシタンス  $C_f$  の値とが等しくされているため、その出力電圧は前記 (2) 式より、 $-V$  (1) となる。すなわち、前記制御部 72 により入力スイ

ッチが開放された時点における入力電圧  $R_i$  (または  $R_q$ ) の極性の反転した電圧  $-R_i$  (または  $-R_q$ ) がサンプルホールド回路 71-1~71-6 から出力される。

【0058】前記制御部 72 は、各サンプルホールド回路 71-1~71-6 に対し順次制御信号を印加して、各サンプルホールド回路 71-1~71-6 に設けられているアナログスイッチを一旦閉成し、拡散変調信号の各チップに対応するタイミングで各サンプルホールド回路 71-1~71-6 のスイッチを順次開放して入力電

圧を取り込むように制御する。これにより、各サンプルホールド回路 71-1~71-6 には拡散符号系列の 1 周期分の受信信号が取り込まれ、その極性の反転した受信信号が出力される。

【0059】前記各サンプルホールド回路 71-1~71-6 からの出力がそれぞれ入力される乗算部 73-1~73-6 は、同一の構成を有する 2 個のマルチプレクサ回路 MUX 1 および MUX 2 により構成されている。図 9 の (b) にこのマルチプレクサ回路 MUX の構成を示す。この図において、95 は CMOS インバータ、96 および 97 は CMOS トランスミッションゲートである。また、 $S_i$  は制御信号入力端子であり、具体的には前記拡散符号発生器 75 から出力される拡散符号系列のうちのこのマルチプレクサ回路 MUX が含まれている乗算部 73-i に対応するビットのデータが入力される。また、 $In1$  および  $In2$  は第 1 および第 2 の入力端子、 $Out$  は出力端子である。このような構成において、制御信号  $S_i$  が「1」(ハイレベル) のときには、トランスミッションゲート 96 が導通、97 が非導通となり、第 1 の入力端子  $In1$  からの入力信号が出力端子  $Out$  に出力される。一方、 $S_i$  が「0」(ローレベル) のときには、トランスミッションゲート 96 が非導通、97 が導通となり、第 2 の入力端子  $In2$  からの入力信号が出力端子  $Out$  に出力されることとなる。

【0060】前述したように各乗算部 73-1~73-6 には、上述したマルチプレクサ回路 MUX が MUX 1 と MUX 2 の 2 つ設けられており、第 1 のマルチプレクサ回路 MUX 1 の出力は該乗算部 73-i の H 出力、第 2 のマルチプレクサ回路 MUX 2 の出力は乗算部 73-i の L 出力とされている。第 1 のマルチプレクサ回路 M

UX 1 の第 1 の入力端子  $In1$  には対応するサンプルホールド回路 71-i からの出力電圧  $V_i$ 、第 2 の入力端子  $In2$  には前記基準電圧発生回路 74 から入力される基準電圧  $V_r$  が印加されている。一方、第 2 のマルチプレクサ回路 MUX 2 の各入力端子  $In1$  および  $In2$  には、前記第 1 のマルチプレクサ回路 MUX 1 とは逆の関係の入力電圧が印加されている。すなわち、第 1 の入力端子  $In1$  には基準電圧  $V_r$  が、また、第 2 の入力端子  $In2$  にはサンプルホールド回路 71-i の出力電圧  $V_i$  が印加されている。

【0061】したがって、制御端子に印加される拡散符号の対応するビット  $S_i$  の値が「1」のときは、MUX 1 からはその出力 H に対応するサンプルホールド回路 71-i からの入力電圧を出力し、MUX 2 はその出力 L に基準電圧発生回路 74 からの基準電圧  $V_r$  を出力し、一方、拡散符号の対応するビットが「0」のときは、MUX 1 はその出力 H に基準電圧発生回路 74 からの基準電圧  $V_r$  を出力し、MUX 2 はその出力 L に対応するサンプルホールド回路 71-i からの入力電圧を出力するようになされている。

【0062】図 9 の (c) に基準電圧発生回路 ( $V_{ref}$ ) 74 の構成を示す。この図において、92、93 および 94 は前記図 9 (a) に示した反転増幅器 Amp におけるものと同様の CMOS インバータ回路、 $R_1$  および  $R_2$  はゲイン制御用抵抗、 $C_g$  は位相調整用キャパシタである。また、82 は電源  $V_{dd}$  と前記各 CMOS インバータ 92~94 および抵抗  $R_1$  との間に挿入されたスイッチであり、前記電源制御部 20 により導通制御されるものである。この回路は、その入出力電圧が等しくなる安定点に出力電圧が収束するものであり、各 CMOS インバータ 92~94 の閾値の設定等により所望の基準電圧  $V_r$  を生成することができる。ここでは、ダイナミックレンジを大きくすることができるように、基準電圧  $V_r = \text{電源電圧 } V_{dd} / 2 = V_b$  とされている。したがって、前記乗算部 73-1~73-6 の H 出力または L 出力から基準電圧  $V_r$  が出力されている場合には、前記 (2) 式における入力電圧  $V(i)$  は 0 となる。

【0063】前記乗算部 73-1~73-3 における MUX 1 からの出力 (H 出力) は加算器 76 に入力される。加算器 76 において、各乗算部 73-1~73-3 からの入力電圧にそれぞれ対応する入力キャパシタンス  $C_2$ 、 $C_3$  および  $C_4$  の大きさは、フィードバックコンデンサ  $C_f$  と等しい大きさとされているため、前述した (2) 式より、各乗算部 73-1~73-3 からの出力電圧の和の大きさを有する電圧が出力される。なお、この出力電圧の極性は、このマッチドフィルタの入力電圧  $R_i$  ( $R_q$ ) と同一の極性である。

【0064】また、加算器 78 には乗算部 73-4~73-6 の H 出力が入力されており、前記の場合と同様にして、それらの和の大きさを有する電圧が出力される。

10

20

30

40

50

なお、この電圧の極性は $R_i$  ( $R_q$ ) と同一のものとなる。この加算器 76 と加算器 78 の出力は加算器 80 に入力される。この加算器 80 における入力キャパシタンス  $C_5$  および  $C_6$  の値はともにフィードバックキャパシタンス  $C_f$  の値の  $1/2$  とされており、該加算器 80 からは前記加算器 76 の出力の  $1/2$  の大きさの電圧と前記加算器 78 の出力の  $1/2$  の大きさの電圧の和の電圧が出力される。この電圧は $R_i$  ( $R_q$ ) と逆の極性を有している。

【0065】一方、前記乗算部 73-1~73-3 における MUX 2 の出力 (L 出力) は加算器 77 に入力され、前述の場合と同様に、これらの和の大きさを有する電圧が出力される。また、前記乗算部 73-4~73-6 の L 出力は加算器 79 に入力され、それらの和の大きさを有し、 $R_i$  ( $R_q$ ) と同一の極性を有する電圧が出力される。

【0066】前記加算器 80、77 および 79 の出力は加算器 81 に入力される。この加算器 81 における前記加算器 80 からの入力に対応する入力キャパシタンス  $C_7$  の大きさはフィードバックキャパシタンス  $C_f$  の大きさと等しくされており、また、前記加算器 77 および 79 からの入力に対応する入力キャパシタンス  $C_8$  および  $C_9$  の大きさは  $C_f/4$  とされているため、該加算器 81 からは、前記加算器 80 の出力電圧と前記加算器 77 の出力電圧の  $1/4$  の電圧と前記加算器 79 の出力電圧の  $1/4$  の電圧との和の電圧との差に対応する電圧が出力されることとなる。したがって、この加算器 81 からは、拡散符号生成器 75 から出力される拡散符号系列における「1」が供給されるサンプルホールド回路 71-1~71-6 の出力の和と、拡散符号系列における「0」が供給される出力の和との差の電圧、すなわち拡散符号系列との相関値が出力されることとなる。

【0067】なお、前記加算器 80 において入力電圧の和の  $1/2$  の電圧が出力されるようにし、前記加算器 81 において加算器 77 および 79 からの出力電圧の  $1/4$  の電圧が加算されるようにしているのは、最大電圧が電源電圧を超えることがないようにするためである。

【0068】このようにして加算器 81 から相関値が出力された後、このマッチドフィルタにおいては、拡散符号生成器 75 から出力される拡散符号系列を 1 チップシフトさせて、前述と同様の演算処理を行い次の相関値を得るようにしている。これにより、サンプルホールドされた信号のシフト処理を行う必要がなくなるため、それによる誤差の発生を防止することができる。このようにして、拡散符号系列のシフトを順次行うことにより、前述した同期捕捉を行うことができる。

【0069】このマッチドフィルタによれば、前記ニューロオペアンプによる演算処理は容量結合によるアナログ処理により実行されるため、回路規模はデジタル処理の場合に比べて大幅に減縮することができ、また、並列

演算であるために高速に処理を実行することができる。さらに、各回路における入出力は全て電圧信号であるため、非常に低消費電力のものとすることができる。

【0070】なお、前述した各実施の形態においては QPSK 変調された信号の場合を例にとって説明したが、これに限られることはなく、BPSK など他の変調方式を採用した場合にも本発明を適用することができることは明らかである。

【0071】

【発明の効果】本発明によれば、CDMA 通信システムに使用する受信機の受信待ち受け時における電力消費を低減することが可能となる。また、同期捕捉をマッチドフィルタにより行なっているため、短時間で同期捕捉を行うことができる。さらにまた、相関器手段を複数個設けて RAKE 受信を行なっているために、マルチパスフェージングのある環境においても、良好な受信品質を保つことができる。また、信号受信時においても、間欠的にマッチドフィルタを動作させてパスの検出を行なっているため、伝搬路の状態の変動に追随することが可能である。さらにまた、ニューロン素子を使用したマッチドフィルタを使用することにより、より低消費電力の CDMA 受信機を提供することが可能となる。

【図面の簡単な説明】

【図 1】 本発明の CDMA 通信システム用受信機の一実施の形態の構成を示すブロック図である。

【図 2】 本発明の CDMA 通信システム用受信機における相関部の一実施の形態の構成を示すブロック図である。

【図 3】 本発明の CDMA 通信システム用受信機の動作例を示すタイミングチャートである。

【図 4】 マッチドフィルタの構成例を示す図である。

【図 5】 相関出力の一例を示す図である。

【図 6】 本発明の CDMA 通信システム用受信機の実施の形態の構成を示すブロック図である。

【図 7】 送信機の一構成例を示す図である。

【図 8】 本発明のさらに他の実施の形態におけるマッチドフィルタの構成例を示すブロック図である。

【図 9】 図 8 のマッチドフィルタにおける各部の構成を示す回路図である。

【図 10】 図 8 のマッチドフィルタにおける加算部の動作を説明するための図である。

【符号の説明】

11 受信アンテナ

12 高周波受信部

13 分配回路

14、107 発振器

15、108 位相シフト回路

16、17、31i、31q、41i、41q、45i、45q、109、110 乗算器

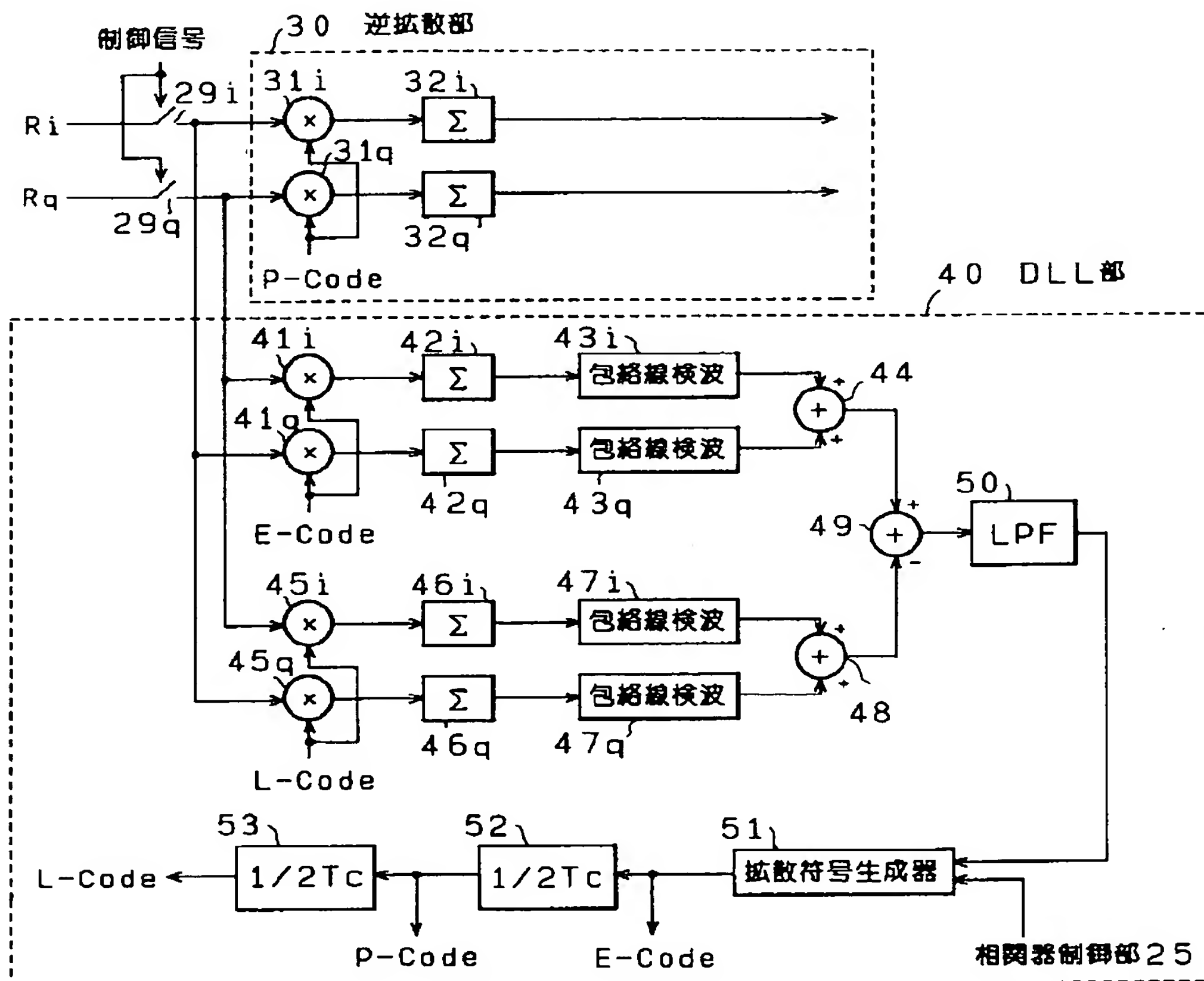
18、19、50 ローパスフィルタ



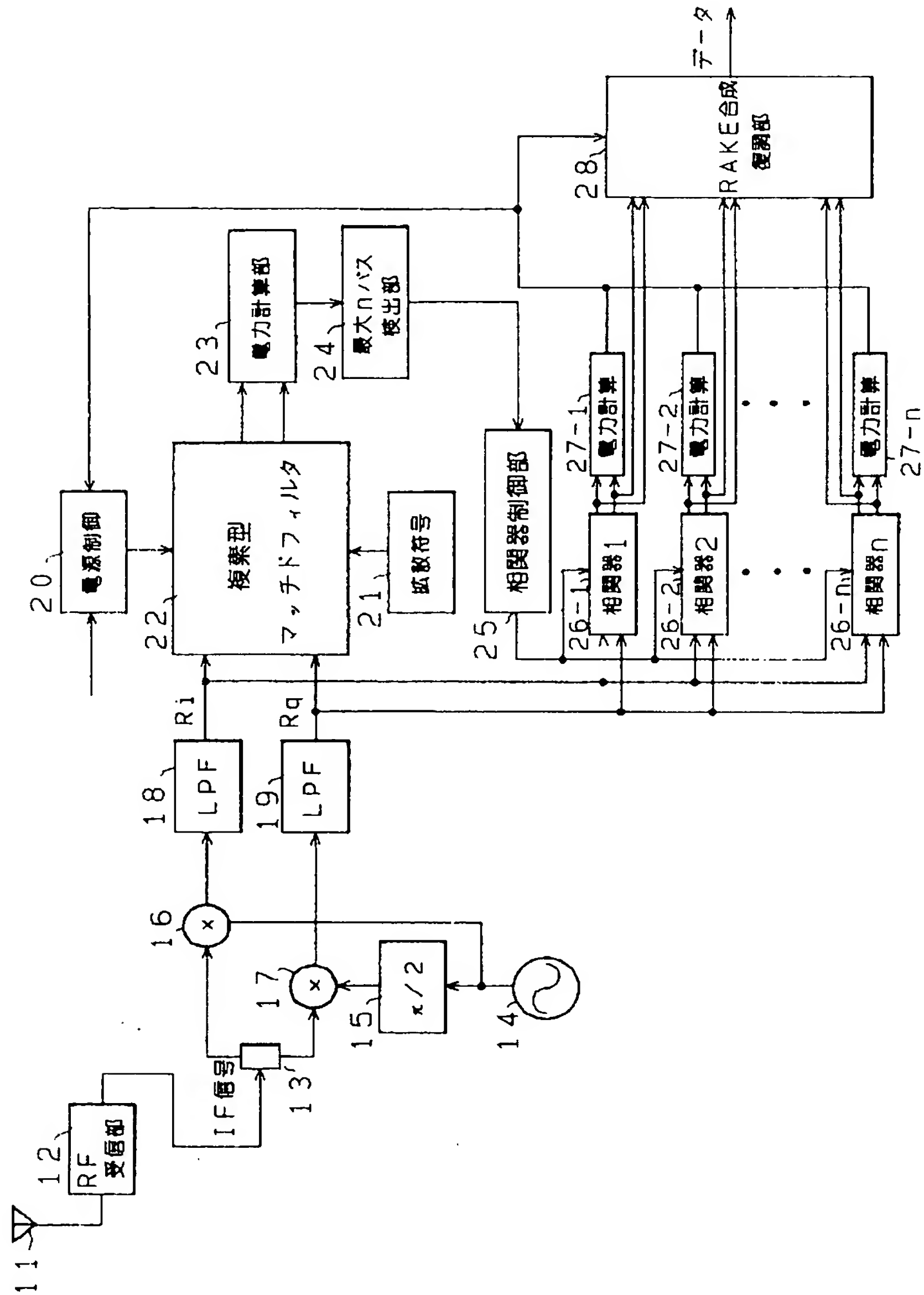
20 電源制御部  
 21、51、75、102 拡散符号生成器  
 22 複素型マッチドフィルタ  
 23、27-1~27-n 電力計算部  
 24 パス検出部  
 25 相関器制御部  
 26-1~26-n 相関器  
 28 RAKE合成および復調部  
 29i、29q、82 スイッチ  
 30 逆拡散部  
 32i、32q、42i、42q、46i、46q 累  
 算器  
 40 DLL部  
 43i、43q、47i、47q 包絡線検波回路  
 44、48、49、62、63、64、76~81、1\*

\*11 加算器  
 52、53  $1/2T_c$  遅延回路  
 61 シフトレジスタ  
 71-1~71-n サンプルホールド回路  
 72 制御部  
 73-1~73-6 乗算部  
 74 基準電圧発生回路  
 92~95 CMOSインバータ  
 96、97 トランсмисシヨングート  
 10 101 直列並列変換器  
 103、104 排他的論理和回路  
 105、106 レベル変換器  
 112 バンドパスフィルタ  
 113 高周波送信部  
 114 送信アンテナ

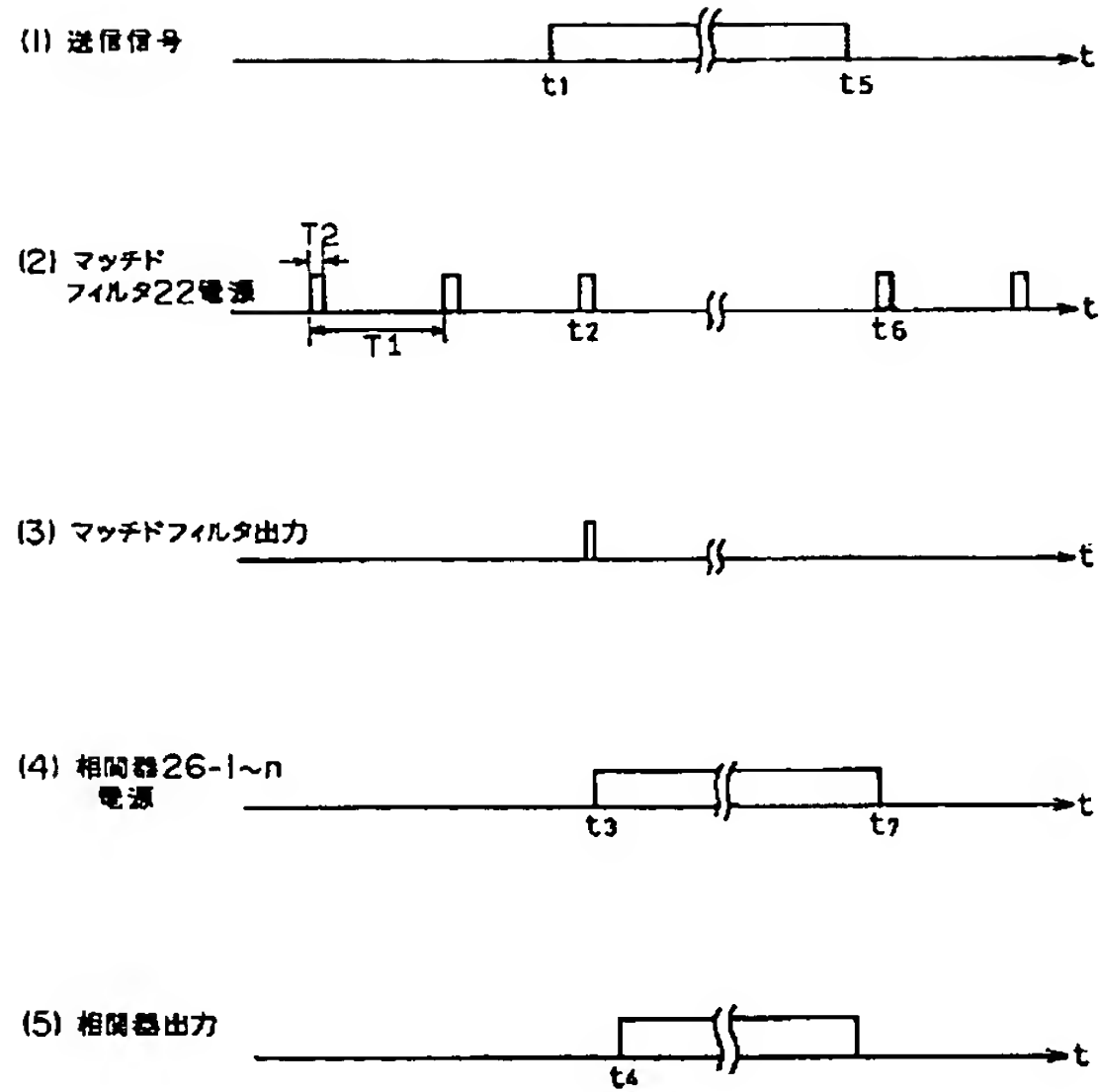
【図2】



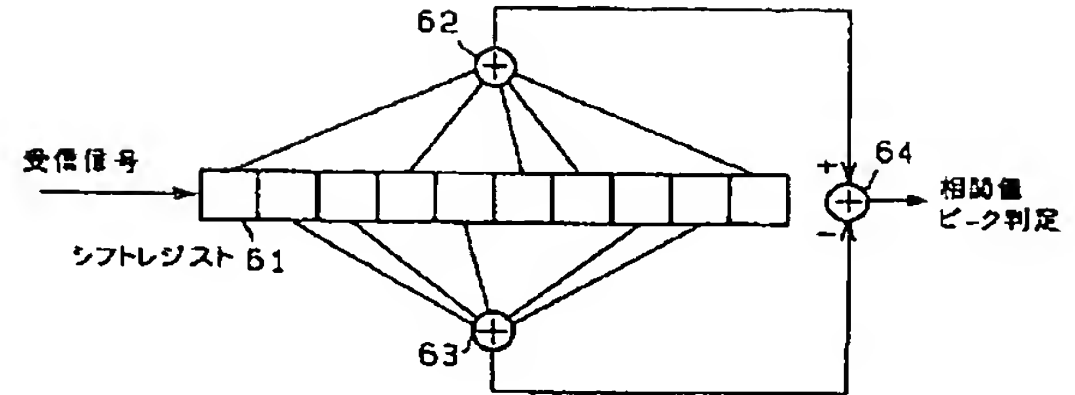
【図1】



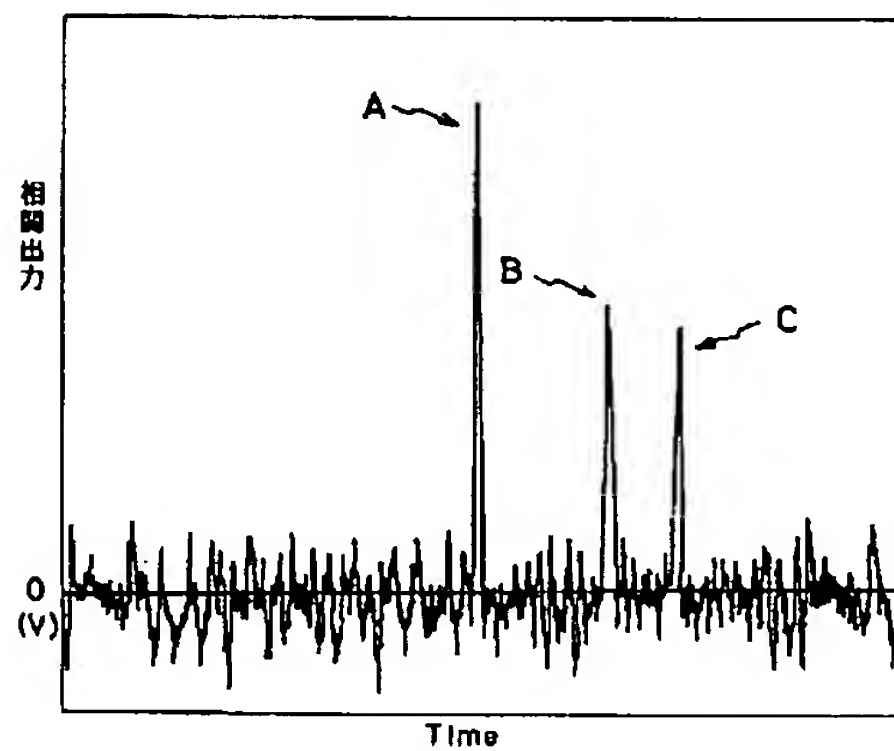
【図3】



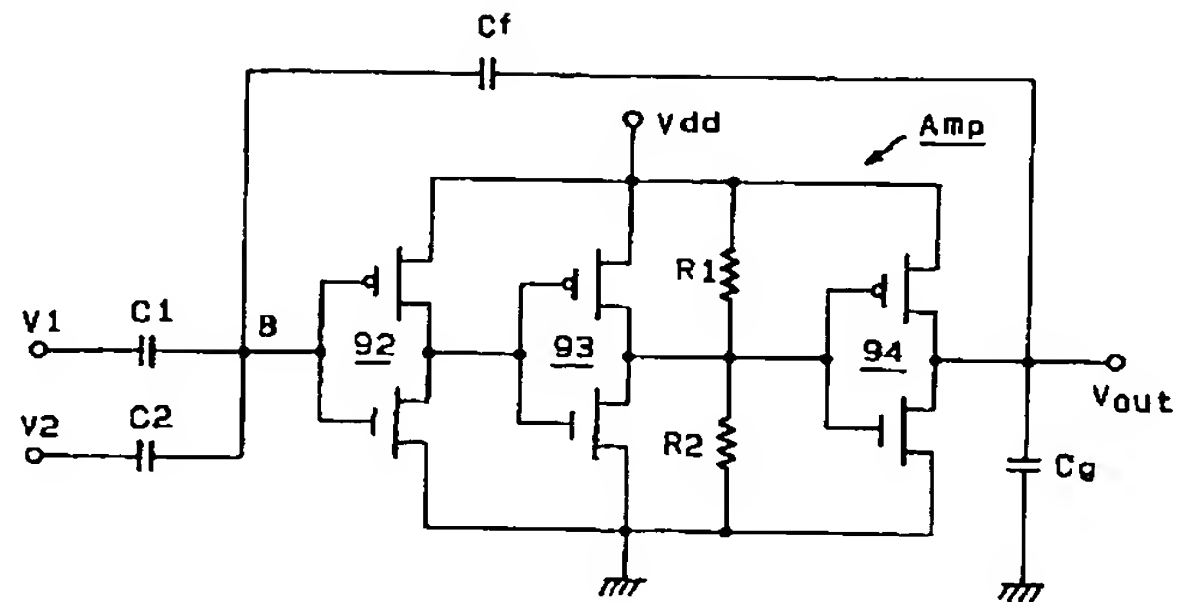
【図4】



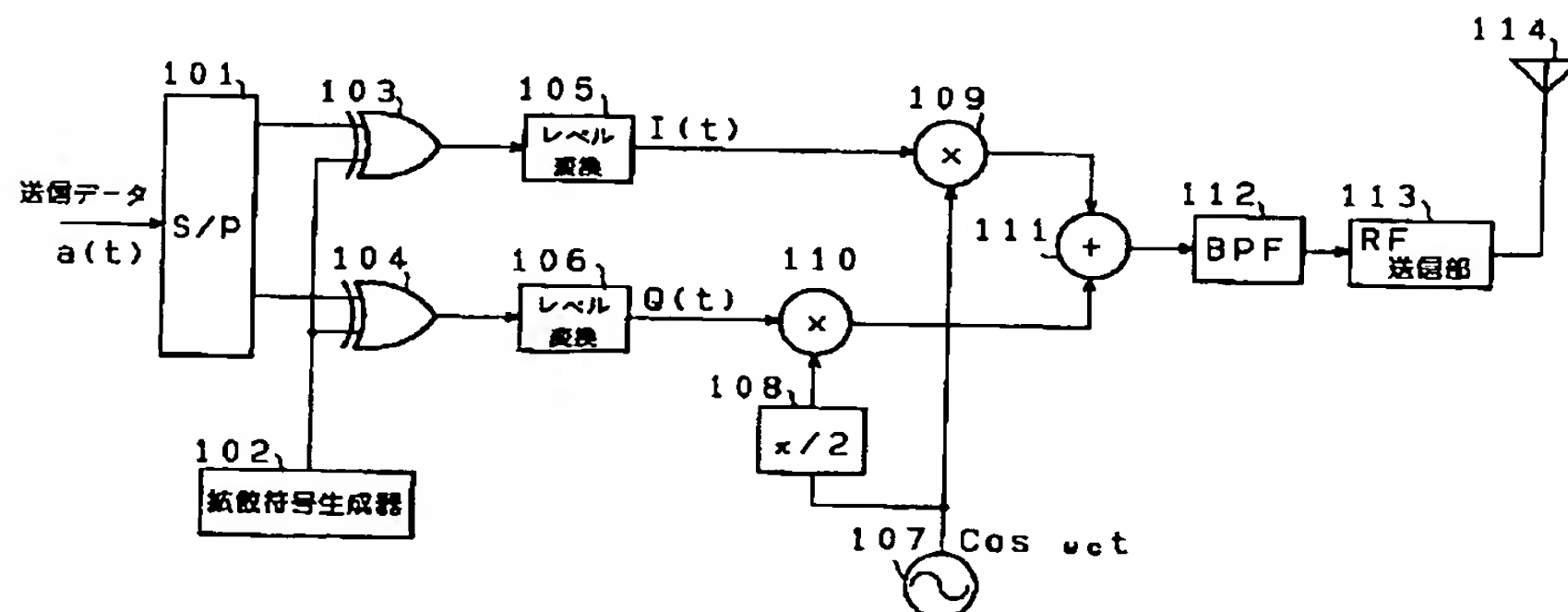
【図5】



【図10】

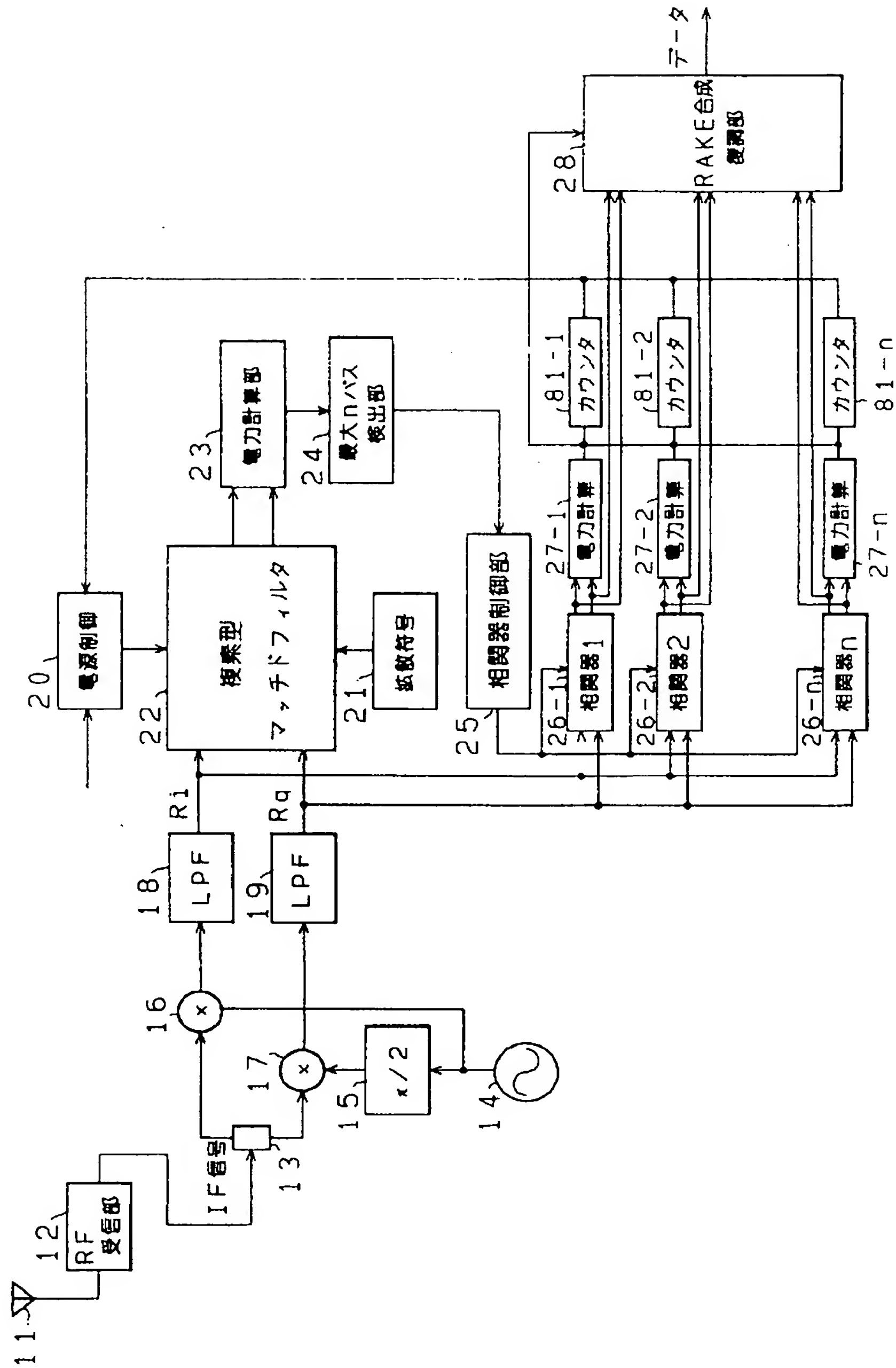


【図7】

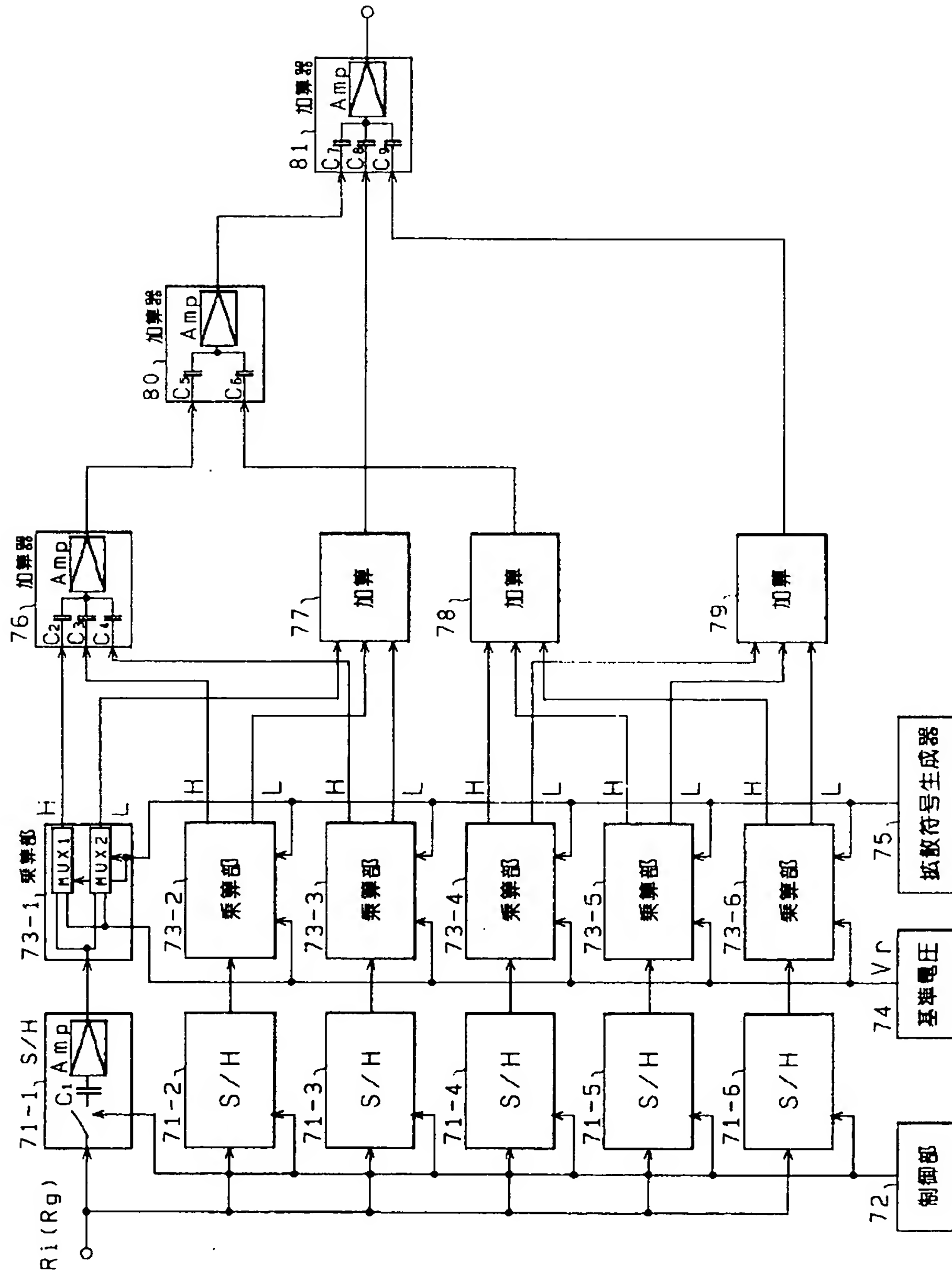




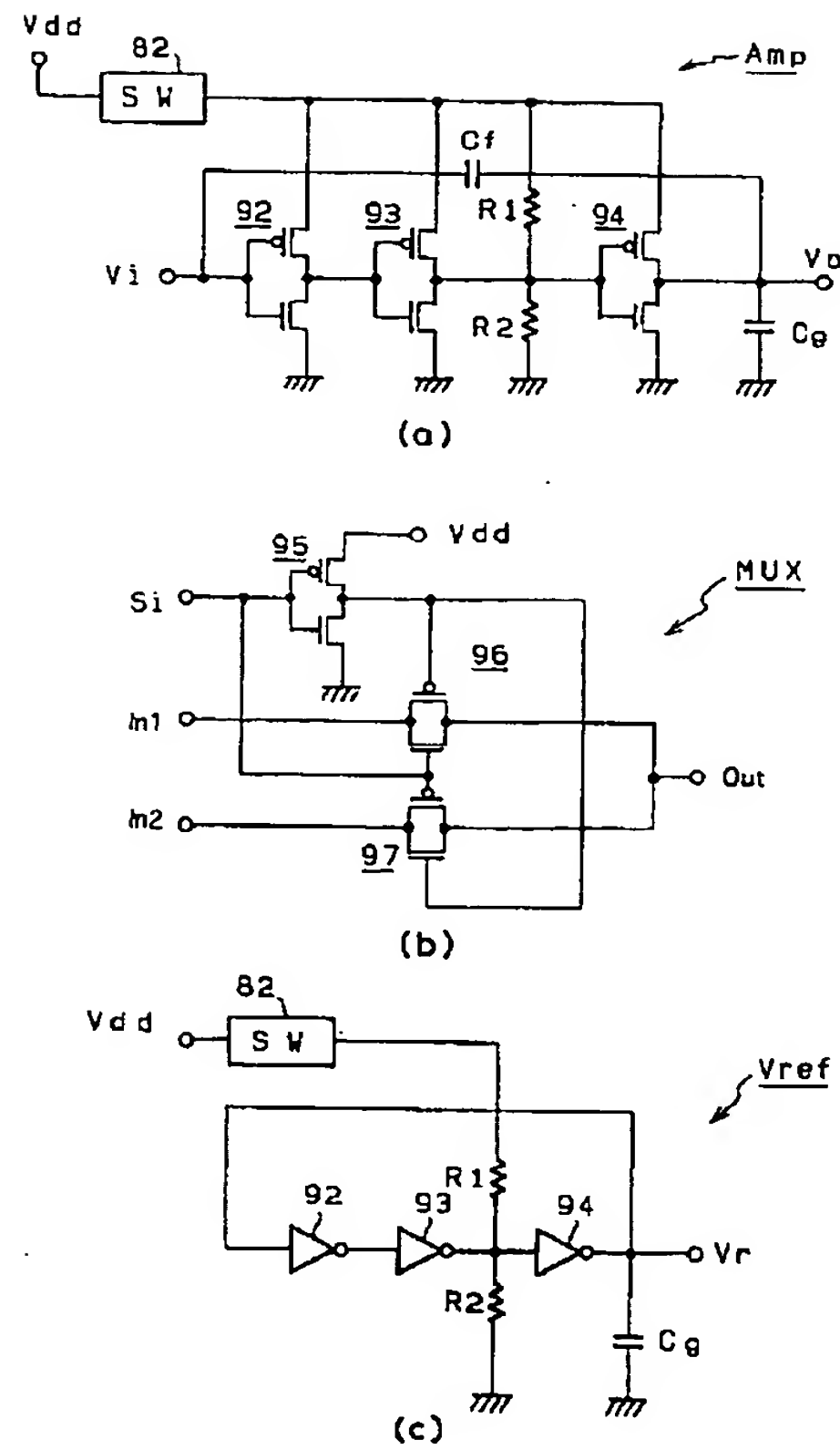
【図6】



【図8】



【図 9】



フロントページの続き

(72)発明者 山本 誠  
東京都世田谷区北沢 3-5-18 鷹山ビル  
株式会社鷹山内

(72)発明者 高取 直  
東京都世田谷区北沢 3-5-18 鷹山ビル  
株式会社鷹山内